

DRAM (Dynamic Random Access Memory)

松永和樹

DRAM とは、代表的な半導体記憶素子で揮発性メモリの一種であり、「記憶保持が必要な随時書き込み読み出しメモリ」とも呼ばれる。記憶単位としてのメモリセルは1個のトランジスタ (MOSFET) と1個のキャパシタから構成される。基本的にキャパシタに電荷がたまっているかどうかを[1]か[0]で判別する。

次に、詳しい動作原理について説明する。DRAM の動作として書き込み動作と読み出し動作がある。図1、図2がそれぞれの動作原理を示した図である。

ここで、B はビット線、W はワード線であり、ビット線及びワード線の電位が高い時はH,低い時はLとする。基本的にHとLを制御して[1]、[0]を書き込んでいく。

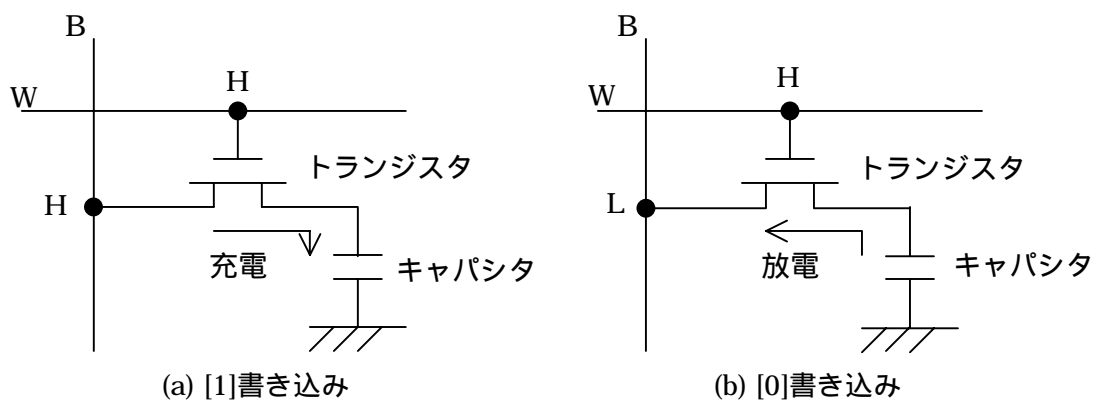


図1 DRAMメモリセルの書き込み動作

まず、図1の書き込み動作について説明する。メモリセルに[1]を書き込むには、ワード線の電圧を上げた状態でビット線の電圧を上げ、トランジスタを通してキャパシタを充電する。トランジスタを通して、ビット線からキャパシタの充電、電荷の蓄積がなされ[1]が書き込まれるが、すで書き込まれていれば変化はない。また[0]を書き込むには、ワード線の電圧を上げた状態でビット線の電圧を0[V]にし、トランジスタを通してキャパシタに蓄えられた電荷を放電する。

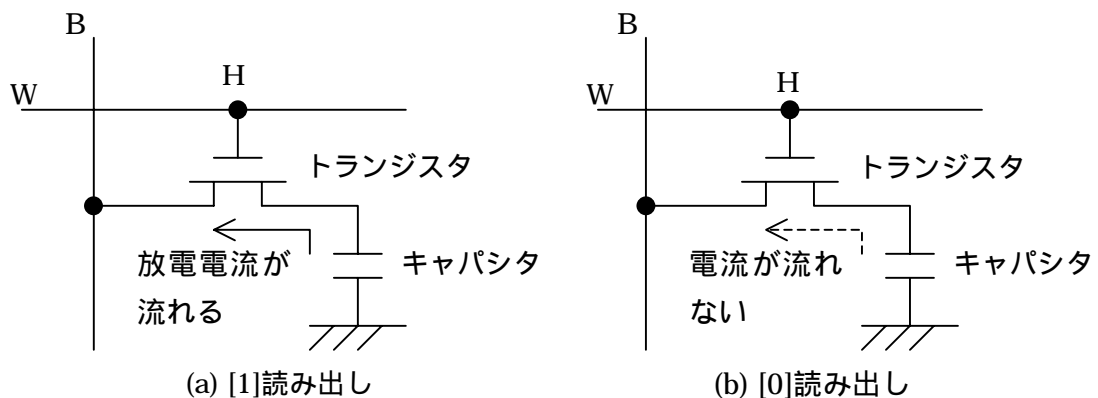


図2 DRAMメモリセルの読み出し動作

次に、図2の読み出し動作について説明する。メモリセルの記憶情報の読み出しはワード線を H にし、ビット線に放電電流が流れ、ビット線電位を瞬間的に上げる。これを検出回路で検査し、[1]を判別する。また、[0]のセルではビット線に電流が流れず電位が変化しないので、[0]と判別できる。これは、[0]を記憶しているセルでは、ビット線の電位変化が生じないためである。

DRAM では、読み出しを行う際に記憶が破壊される（破壊読み出し）。キャパシタにおける蓄積電荷が微小な漏れ電流により徐々に記憶が失われるため、一定の時間ごとに同一データを繰り返し書き込むリフレッシュ (refresh) という記憶の保持動作（再充電）が必要になる。つまり、データを保持するためには常に通電しておく必要がある。そのためデータのアクセスのあるなしに関係なく電力を消費する。またリフレッシュされている間はデータを読み出すことはできず、CPU からのアクセスも待たされるので、速度低下の原因にもなっている。記録密度については同じ製造技術において、SRAM よりも DRAM の方が約 4 倍の密度を実現できるという長所がある。

また、DRAM は製造コストが安く、構造が比較的簡単なことから微細加工技術を用いて大記憶容量が実現しやすい。そのため、コンピュータのメインメモリなど、最も多く使われているメモリである。