

# MFMISS-FET 不揮発性メモリ用 強誘電体薄膜の成膜と評価

中尾 良昭<sup>†</sup> 関本 安泰 松浦 秀治

大阪電気通信大学 工学部 〒572-8530 大阪府寝屋川市初町 18-8

<sup>†</sup> E-mail: m02124@isc.osakac.ac.jp

**あらまし** MFMISS(Metal-Ferroelectric-Metal-Insulator-Semiconductor)-FET 型不揮発性メモリでは強誘電体層と絶縁層に印加電圧が分配されるため、強誘電体層に電圧を充分印加させるためには誘電率の低い強誘電体材料を用いる必要がある。そこで低誘電率強誘電体材料  $\text{Sr}_2\text{Nb}_2\text{O}_7$  に着目した。本研究では  $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜を成膜するにあたり、出発原料として金属カルボン酸溶液を用いた。金属カルボン酸溶液は化学的に安定なため、長期間保存することが容易である。MOD(Metal-Organic-Decomposition)法を用いて Pt/SiO<sub>2</sub>/Si 基板上に成膜した結果、b 軸配向の  $\text{Sr}_2\text{Nb}_2\text{O}_7$  の多結晶が成膜した。次に、漏れ電流と強誘電体薄膜中の浅い準位に存在するトラップが関係していると考えられるため、DCTS(Discharge current transient spectroscopy)法を用いて  $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜中のトラップ密度と放出割合を評価した。その結果、 $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜中に 3 種類の異なるトラップの存在を確認した。現在、漏れ電流にこれらのトラップが及ぼす影響は検討中である。

**キーワード** 強誘電体, 不揮発性メモリ,  $\text{Sr}_2\text{Nb}_2\text{O}_7$ , 金属カルボン酸, MOD 法, トラップ, 漏れ電流, 放電電流過渡分光法(DCTS)

## Formation and Characterization of Ferroelectric $\text{Sr}_2\text{Nb}_2\text{O}_7$ Thin Film for MFMISS-FET Type Non-Volatile Memory

Yoshiaki NAKAO<sup>†</sup> Yasuhiro SEKIMOTO and Hideharu MATSUURA

Department of Electronic Engineering and Computer Science, Osaka Electro-Communication University

18-8 Hatsu-cho, Neyagawa, Osaka 572-8530, Japan

<sup>†</sup> E-mail: m02124@isc.osakac.ac.jp

**Abstract** In the case of a combination of a high dielectric constant ferroelectric layer (e.g. PZT) and a low dielectric constant insulator (SiO<sub>2</sub>), almost of gate voltage is applied to the SiO<sub>2</sub> layer, suggesting that high gate voltage is required to invert the polarization in the ferroelectric layer. Therefore,  $\text{Sr}_2\text{Nb}_2\text{O}_7$  was chosen as a low dielectric constant ferroelectric material. Since metal carboxylic precursors are chemically stable more than metal alkoxide precursors,  $\text{Sr}_2\text{Nb}_2\text{O}_7$  thin films were fabricated on Pt/SiO<sub>2</sub>/Si substrates by the MOD method using metal carboxylic acid. Since a leakage current in a capacitor is considered to be related to shallow traps in the ferroelectric film, the densities and emission rates of shallow traps in  $\text{Sr}_2\text{Nb}_2\text{O}_7$  films were determined by DCTS (discharge current transient spectroscopy). Three types of traps with close emission rates were founded, and now the influence of these traps on the leakage current is investigated.

**Keyword** Ferroelectric, Non-volatile memory,  $\text{Sr}_2\text{Nb}_2\text{O}_7$ , MOD method, Trap, Leakage current, Discharge current transient spectroscopy (DCTS)

### 1. はじめに

パーソナルコンピュータに用いられている DRAM(Dynamic-Random-Access-Memory)は高速で動作し、データ書き換え回数も  $10^{12}$  回以上と多い。しかし、揮発性メモリであるために電源を切るとメモリに保持していた情報を失うので情報を HDD(Hard-Disk-Drive)に保持している。そのため、パーソナルコンピュータの起動時に低速の HDD からメモリへデータを読み込む動作が必要となり、非常に時間がかかる。

DRAM と同等の能力を持ち、なおかつ不揮発性であるメモリが実現できれば、この問題は解決し、高速で起動するパーソナルコンピュータが実現する。そこで、強誘電体の残留分極を利用した強誘電体不揮発性メモリ (FeRAM) が注目されている。

1Tr1Ca 構造メモリのメモリセルは、一つのトランジスタとキャパシタから構成されており、強誘電体をキャパシタ部分に用いる。1Tr1Ca 構造では線間容量より大きい容量を確保するためにキャパシタ部の面積の低減に制限があり、メモリセルの集積化を妨げる。また、情報を読み出すたびに分極を反転させる破壊読出しのため、分極反転の回数が増加する。その結果、強誘電体の疲労が大きくなり、メモリとしての寿命が短くなる。

これらの問題点を解決するために MFS(Metal-Ferroelectric-Semiconductor)型 FET が考案された。このメモリは MOS(Metal-Oxide-Semiconductor)トランジスタの酸化膜部分に絶縁性強誘電体を用いた構造で、強誘電体の分極によりチャンネルを形成し、ソース・ドレイン間に流れる電流により情報の判断をする。しかし、Si 基板上に直接強誘電体や酸化物強誘電体を形成すると格子不整合や不要な酸化膜形成により、Si 基板と強誘電体の界面にトラップが形成される。強誘電体の残留分極により Si 界面に誘起されたチャンネルの電荷がトラップに捕獲される。このため、ソース・ドレイン間に形成していたチャンネルが失われ、情報の判別ができなくなる。そこで MFMS (Metal-Ferroelectric-Metal

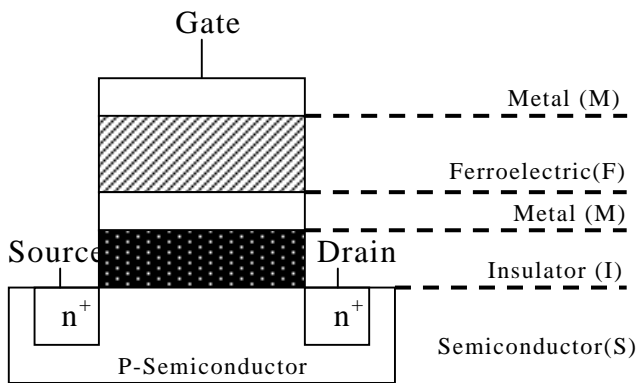


図 1 MFMS 型 FRAM

-Insulator-Semiconductor)型 FET が提案された。MFMS 構造は MOSFET 上に強誘電体層と電極をのせた構造であり、MFS 型 FET と動作原理は同じである。また、絶縁層に熱酸化膜 ( $\text{SiO}_2$ ) を、中間に挿んだ電極に強誘電体と格子整合する材料を用いることができる。しかし、強誘電体層と絶縁層は直列接続されたキャパシタと等価であり、絶縁層の  $\text{SiO}_2$  ( $\epsilon=3.9$ ) より誘電率の高い強誘電体を用いた場合、分極に必要なゲート電圧が高くなる。そこで誘電率が 43 と強誘電体材料の中では低い誘電率を持つ  $\text{Sr}_2\text{Nb}_2\text{O}_7$  が MFMS 型 FET に適していると考えられる。

現在、 $\text{Sr}_2\text{Nb}_2\text{O}_7$  の調整方法は金属アルコキシド溶液を用いたゾル・ゲル法が試みられている [4], [6]。しかし、金属アルコキシド溶液は化学的に不安定なために、長期間保存することが困難であり、取り扱いにくい溶液である。本研究では、化学的に安定で加水分解を必要としない金属カルボン酸溶液を用いる、有機酸塩熱分解法 (Metal-Organic-Decomposition: MOD 法) により、 $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜を Pt/SiO<sub>2</sub>/Si 基板上に成膜した。

強誘電体薄膜の残留分極により中間部の電極に誘起された電荷が漏れ電流として失われてしまうと、Si 界面に誘起された電荷も失われ、形成していたチャンネルが失われる。その漏れ電流の原因に強誘電体薄膜中のトラップが関係あると考えられる。そこで、DCTS (Discharge-Current-Transient-Spectroscopy) 法により漏れ電流とトラップの関係を調べた。

### 2. 実験方法

#### 2.1 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 薄膜の作製

図 2 に  $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜作製のフローチャートを示す。出発原料として 2 エチルヘキサン酸ストロンチウム溶液と 2 エチルヘキサン酸ニオブ溶液を、また溶媒とし

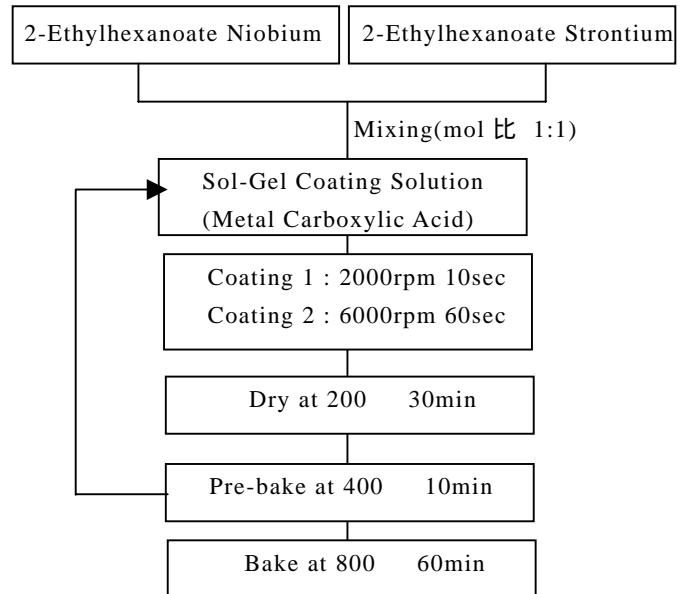


図 2  $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜作製のフローチャート

て2エチルヘキサン酸溶液を用いた。

まず、2エチルヘキサン酸ストロンチウム溶液と2エチルヘキサン酸ニオブ溶液を mol 比 1 : 1 で混ぜ合わせる。その溶液を溶媒(2エチルヘキサン酸溶液)を用いて濃度 70% に薄め、金属カルボン酸コーティング溶液を調整した。

基板には Si に絶縁層として熱酸化膜 (SiO<sub>2</sub>) を 50nm 形成し、その上に膜厚 200nm の Pt をスパッタリングにより積層した Pt/SiO<sub>2</sub>/Si を用いた。Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜はこの基板の上にスピコーティング法により成膜した。

## 2.2 Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜の結晶化

得られた Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜を 200 °C で 30 時間乾燥させた後、酸素雰囲気中 400 °C で 10 時間仮焼成を行った。この乾燥から仮焼成までの工程を 1 回から 10 回と変化させたものを酸素雰囲気中 800 °C で 60 時間焼成を行い、強誘電体 Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜を結晶化した。

得られた Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜上に上部電極として Pt を円形状 (0.79mm<sup>2</sup>) にスパッタリングし、電気特性測定用の試料を作製した。

## 2.3 Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜の評価

X-Ray Diffraction(XRD)測定により Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜の結晶性を評価した。そのときの X 線の波長は CuK = 1.5405 Å である。ヒステリシス特性はソーヤ・タワー回路を用いて周波数 1kHz にて測定を行った。Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜中のトラップの評価は DCTS 法により行った。

## 3 DCTS 法の原理 [1],[2]

DCTS 法には図 3 に示す回路図を用いる。DCTS 法では強誘電体薄膜中からの過渡放電電流を測定し、強誘電体薄膜中に存在する複数個のトラップを個別に評価できる。測定方法は、回路図中のキャパシタ部に充電電圧 V<sub>cha</sub> を印加し、膜中のトラップにキャリアを充分捕獲させる。その後、放電電圧 V<sub>dis</sub> を印加した時の過渡放電電流 I<sub>dis</sub>(t) は

$$I_{\text{dis}}(t) = -qS \sum_{i=1} N_{ti} e_{ti} \exp(-e_{ti}t) + I_1(V_{\text{dis}}) \quad (1)$$

で与えられ、 $q$  は電荷量、 $S$  はキャパシタ構造の電極面積、 $I_1(V_{\text{dis}})$  はリーク電流である。また、 $e_{ti}$  と  $N_{ti}$  は  $i$  番目のトラップのキャリア放出割合と単位面積あたりの密度を表す。次に、 $N_{ti}$  と  $e_{ti}$  を求めるための DCTS

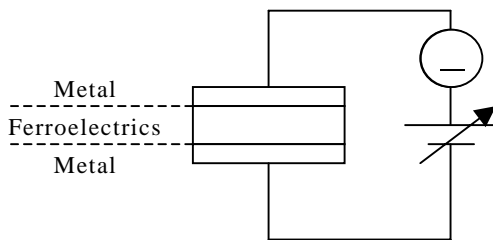


図 3 DCTS 測定回路

信号を

$$D(t, e_{\text{ref}}) \equiv \frac{t}{qS} [I_{\text{dis}}(t) - I_1(V_{\text{dis}})] \exp(-e_{\text{ref}}t + 1) \quad (2)$$

と定義する。(2)式に過渡放電電流の(1)式を代入することで式

$$D(t, e_{\text{ref}}) = \sum_{i=1} N_{ti} e_{ti} t \cdot \exp[-(e_{ti} + e_{\text{ref}})t + 1] \quad (3)$$

を導くことができる。ここで、 $e_{\text{ref}}$  は DCTS 信号のピーク移動パラメータである。

DCTS 信号は

$$t_{\text{peak}i} = 1 / (e_{ti} + e_{\text{ref}}) \quad (4)$$

でピーク値

$$D(t_{\text{peak}i}, e_{\text{ref}}) = N_{ti} (1 - e_{\text{ref}} t_{\text{peak}i}) \quad (5)$$

をとることから、トラップ密度  $N_{ti}$  とトラップ放出割合  $e_{ti}$  はそれぞれ

$$N_{ti} = \frac{D(t_{\text{peak}i}, e_{\text{ref}})}{(1 - e_{\text{ref}} t_{\text{peak}i})} \quad (6)$$

$$e_{ti} = \frac{1}{t_{\text{peak}i}} - e_{\text{ref}} \quad (7)$$

となり、それぞれのピークから  $e_{ti}$  と  $N_{ti}$  を求めることができる。薄膜中にトラップが複数存在する場合、各トラップの DCTS 信号が互いに影響しあい、各々のトラップによるピークが明確にならない DCTS 信号となる。このときは、 $e_{\text{ref}}$  を連続的に変化させ、DCTS 信号の最大を検出し、各々のピークを分離して評価することができる。

$N_t$  がそれぞれ  $1.0 \times 10^{12} \text{ cm}^{-2}$  で  $e_t$  が  $3.74 \times 10^{-1} \text{ s}^{-1}$  と  $7.84 \times 10^{-1} \text{ s}^{-1}$  による放電電流を用いたときの DCTS

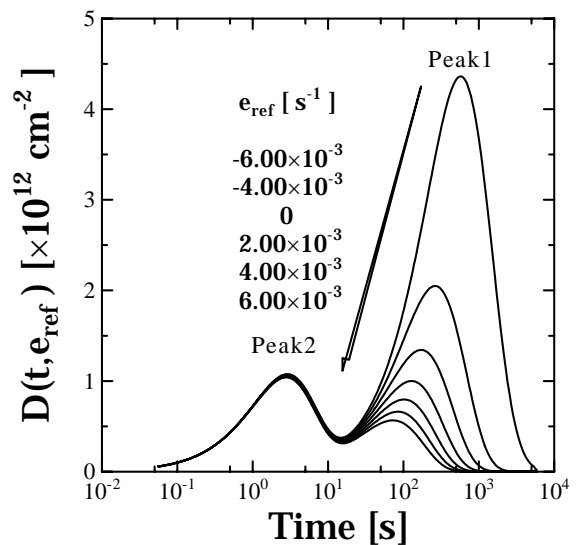


図 4  $e_{\text{ref}}$  の変化による最大値の推移

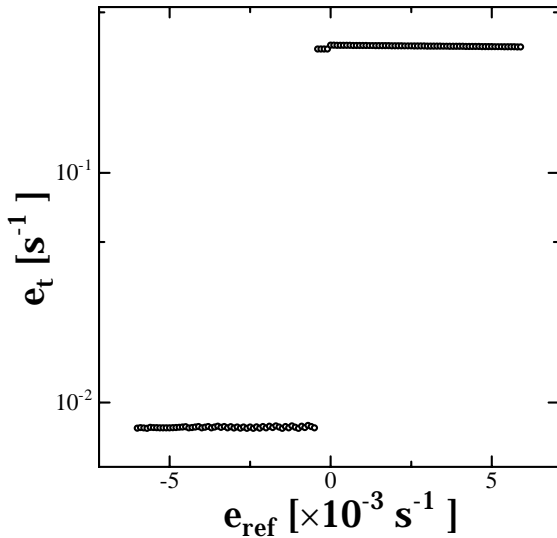


図 5  $e_{ref}$  の連続変化による  $e_t$  の分離

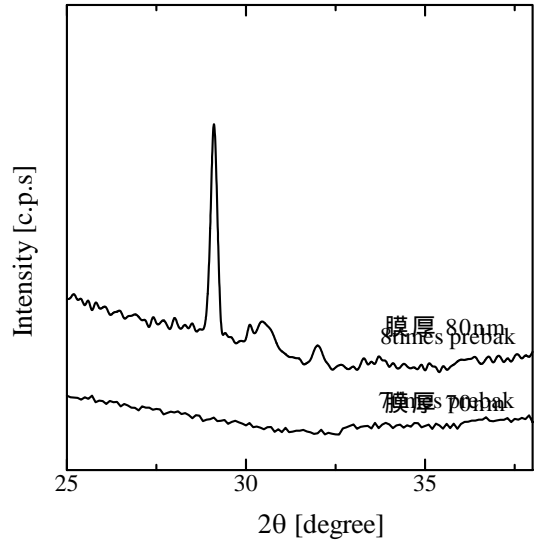


図 7 XRD 測定結果 (膜厚 70nm 及び 80nm)

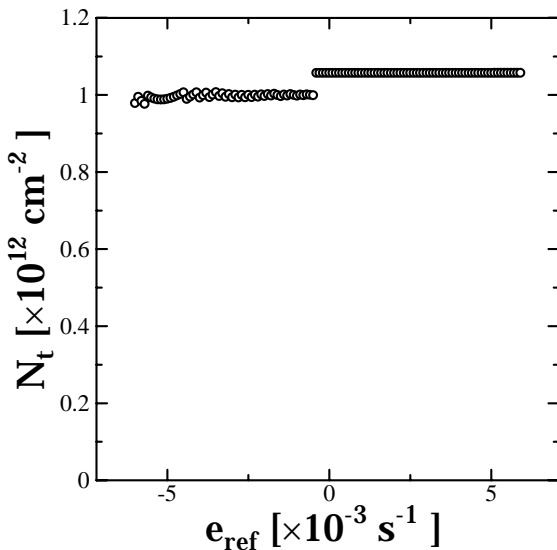


図 6  $e_{ref}$  の連続変化による  $N_t$  の変化

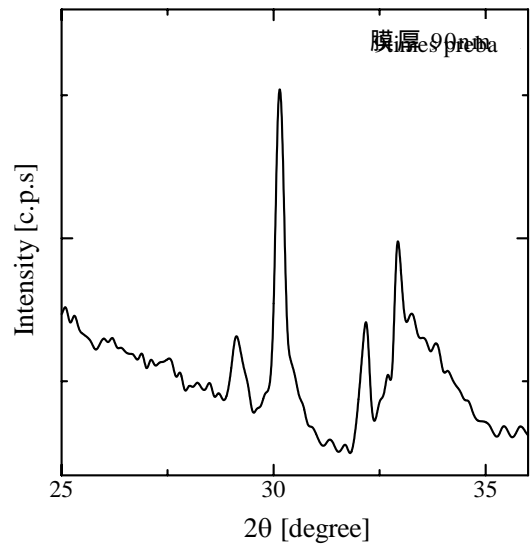


図 8 XRD 測定結果 (膜厚 90nm)

信号の  $e_{ref}$  による変化を図 4 に示す。図 4 を見てもわかるとおり、 $e_{ref}$  の変化にともない、最大値が Peak1 から Peak2 へと変化しているのがわかる。次に  $e_{ref}$  を変化させたときの最大の時刻から見積もった  $e_t$  を図 5 に示す。図 5 から  $e_t$  が分離しているのがわかる。また図 6 に示すように、 $N_t$  においても同様であり、設定した値とほぼ同じ値を検出している。

このことより、DCTS 信号は  $e_{ref}$  を連続的に変化させることにより、 $e_{ref}$  に無関係な  $N_t$  と  $e_t$  の領域が現れ、複数のトラップを分離できることがわかる。

#### 4. 実験結果と考察

##### 4.1 強誘電体 $Sr_2Nb_2O_7$ 薄膜の結晶性

膜厚 70nm(仮焼成回数 7 回)と 80nm(仮焼成回数 8 回)の  $Sr_2Nb_2O_7$  薄膜の XRD パターンを図 7 に示す。膜厚 70nm 以下の試料の場合、まったくピークは見られず結

晶成長が観測されなかったが、膜厚 80nm の試料では  $29.1^\circ$  付近に大きなピークが現われ、 $30^\circ$  と  $32^\circ$  付近にもわずかながらピークが観測できた。図 8 から膜厚 90nm(仮焼成回数 9 回)の試料では  $30.1^\circ$  において最も大きなピークが現われ、 $32^\circ$  と  $33^\circ$  にもピークが観測できる。しかし膜厚 80nm で見られた  $29.1^\circ$  でのピークが弱くなっている。図 9 に示す膜厚 100nm(仮焼成回数 10 回)の試料では  $29.9^\circ$  でピークを観測できた。

これらの結果から Pt/SiO<sub>2</sub>/Si 基板上に  $Sr_2Nb_2O_7$  の多結晶を成膜するには膜厚が 80nm 以上必要であることがわかる。そして、膜厚 80nm の試料では面方位 [131] に、膜厚 90nm と 100nm の試料では面方位 [141] であり、b 軸方向に向いていることがわかる。また、それぞれのベースラインが直線ではなく  $25^\circ$  から  $28^\circ$  部分が盛り上がった形になっていることからアモルファスが結晶内に存在している可能性もある。

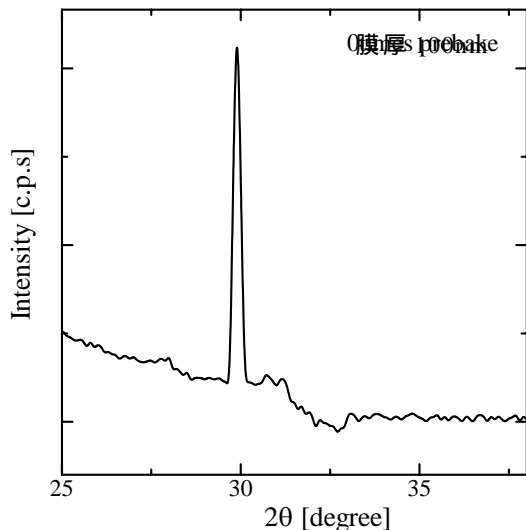


図9 XRD測定結果(膜厚100nm)

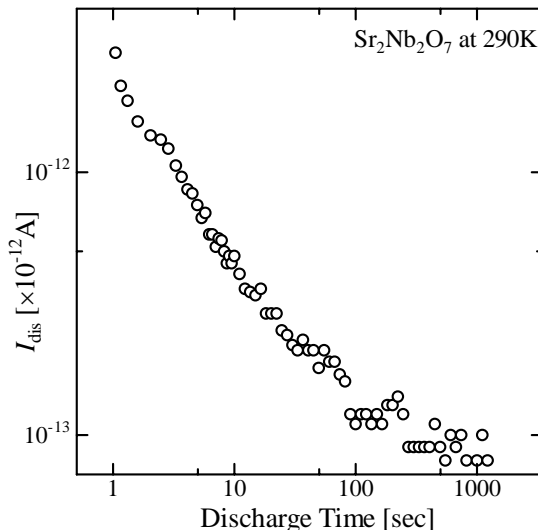


図11 過渡放電電流

### 3.2 Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜のヒステリシス特性

図10に膜厚100nmの試料のヒステリシス特性を示す。ヒステリシスループの両端に微量ながら飽和が確認でき、残留分極が15nC/cm<sup>2</sup>を示す強誘電特性を確認できた。しかし、残留分極の値が非常に微弱な値である。この原因としてはSr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub>の単結晶ではc軸方向での分極しか確認されていないため[5]、今回成膜した結晶がb軸方向に向いていることにより、分極方向に対して電圧印加方向が垂直になり、残留分極の値が微弱になったのではないかと考えられる。しかし、庄山らの報告[6]によるとb軸配向時でも0.5μC/cm<sup>2</sup>の残留分極がでているため、結晶配向以外に主たる原因である可能性もある。

### 3.2 Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜中のトラップ評価

Keithley237ソース・メジャー・ユニットを用いて過渡放電電流を測定した。DCTS法の測定条件として、測定温度290Kにおいて、試料に充電電圧1.75Vを300秒間印加の後、放電電圧を0Vとして1800秒間での過渡放電電流を測定した。図11に測定した過渡放電電流を示す。

得られた過渡放電電流を spline 関数で補間した後、

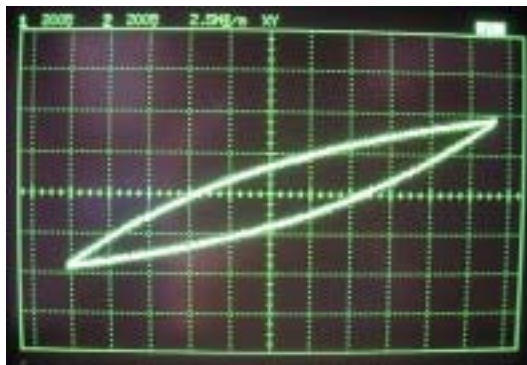


図10 Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub> 薄膜のヒステリシス特性

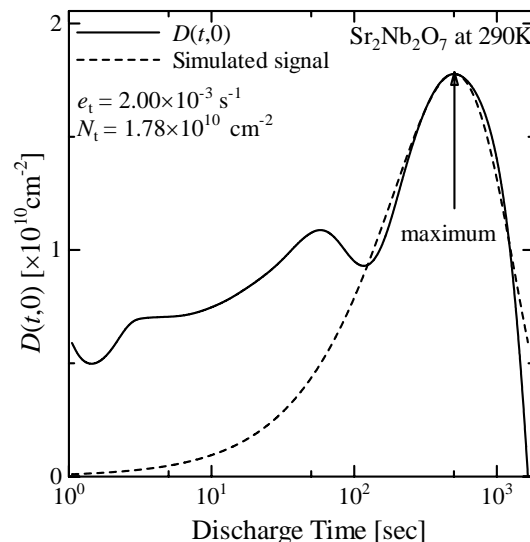


図12 DCTS信号( $e_{ref} = 0 \text{ s}^{-1}$ )

(2)式を用いてDCTS信号に変換した。図12に $e_{ref} = 0 \text{ s}^{-1}$ のDCTS信号を実線で示す。ピーク時間501sにおいて、ピーク値は $1.78 \times 10^9 \text{ cm}^{-2}$ であった。これより(6)式と(7)式を用いて、キャリアの放出割合は $2.00 \times 10^{-3} \text{ s}^{-1}$ 、トラップ密度は $1.78 \times 10^{10} \text{ cm}^{-2}$ と求められた。得られた放出割合と密度から、シミュレーションした結果を図12の破線に示す。これより、実験から得られたDCTS信号よりシミュレーションした信号の方が狭いことから、このSr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub>薄膜中には他に複数の準位が存在することがわかる。特に、50s付近と5s付近にピークが見られることから、少なくともあと2種類のトラップが存在すると考えられる。

次に、ピーク移動パラメータ $e_{ref}$ を連続的に変化させ、これらのトラップの検出を試みた。図13に $e_{ref} = 0.005 \text{ s}^{-1}$ の時のDCTS信号を実線で示す。最大時間44sにおいて、最大値は $8.43 \times 10^9 \text{ cm}^{-2}$ であった。

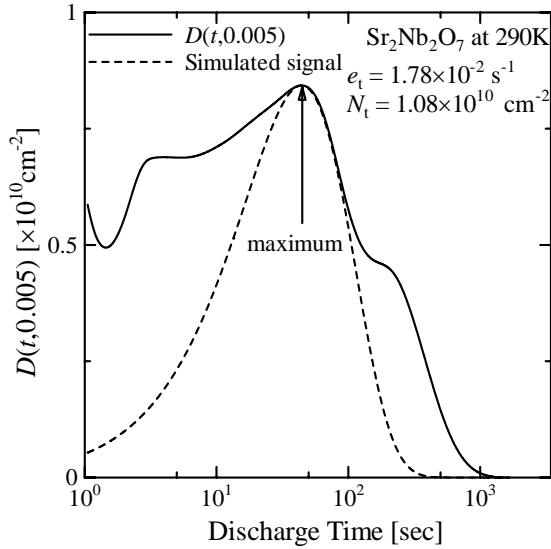


図 13 DCTS 信号 ( $e_{\text{ref}} = 0.005 \text{ s}^{-1}$ )

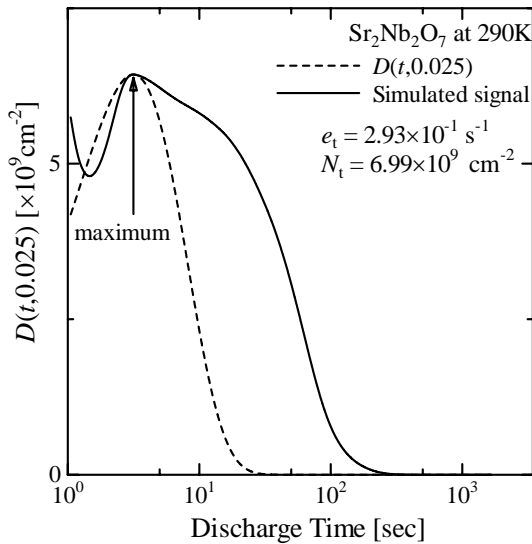


図 14 DCTS 信号 ( $e_{\text{ref}} = 0.025 \text{ s}^{-1}$ )

これより、キャリアの放出割合は  $1.78 \times 10^{-2} \text{ s}$ 、トラップ密度は  $1.08 \times 10^{10} \text{ cm}^{-2}$  と求められた。そして、図 13 の破線は求められたトラップの値を用いたシミュレーション結果である。

図 14 に  $e_{\text{ref}} = 0.025 \text{ s}^{-1}$  の DCTS 信号を実線で示す。時間 3.1s において、最大値は  $6.43 \times 10^9 \text{ cm}^{-2}$  であった。これより、キャリアの放出割合は  $2.93 \times 10^{-1} \text{ s}$ 、トラップ密度は  $6.99 \times 10^9 \text{ cm}^{-2}$  と求められた。図 14 の破線は求められたトラップの値を用いたシミュレーション結果である。

図 15 に  $e_{\text{ref}}$  の連続変化に対する DCTS 信号の最大から求めたトラップ密度  $N_t$  とトラップ放出割合  $e_t$  の関係を示す。図 15 からわかるとおり、 $e_{\text{ref}}$  の変化に対して 3 つの水平領域ができていたことが確認できる。このことより  $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜中に存在する 3 種類のトラップを分離できた。

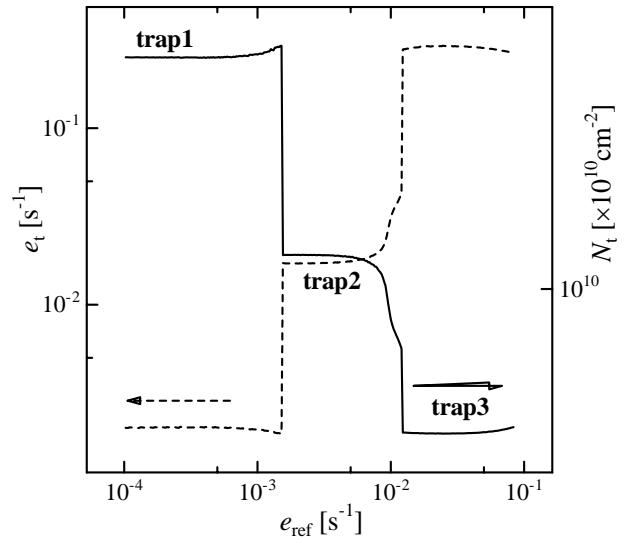


図 15  $e_{\text{ref}}$  の連続変化に対する  $N_t$  と  $e_t$

## 5. まとめ

XRD 測定より  $\text{Pt}/\text{SiO}_2/\text{Si}$  基板上に  $\text{Sr}_2\text{Nb}_2\text{O}_7$  の多結晶が成膜されていることが確認できた。また、 $\text{Sr}_2\text{Nb}_2\text{O}_7$  の多結晶を得るためには  $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜の膜厚を 80nm 以上にする必要があることがわかった。得られた  $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜は b 軸方向に配向した結晶性を示した。ヒステリシス特性は、微量に飽和しており、残留分極値  $P_r$  が  $15 \text{ nC/cm}^2$  を示す強誘電性薄膜であることが確認できた。

成膜した  $\text{Sr}_2\text{Nb}_2\text{O}_7$  薄膜を DCTS 法を用いて評価したところ、3 種類の異なるトラップが存在していることが確認できた。

## 参考文献

- [1] H.Matsuura, et al, "Discharge Current Transient Spectroscopy for Evaluating Traps in Insulators", Jpn. J. Appl. Phys, vol.34, no.2A, pp.L185-L187 part 2, 1 February 1995
- [2] H.Matsuura, et.al, "Graphical peak analysis method for determining densities and emission rates of traps in dielectric film from transient discharge current", Jpn.J.Appl.Phys, vol92, no.4, pp2085-2091, February 2002.
- [3] Alamanda V.Prasadarao, Ulagaraj Selvaraj and Sridhar Komarneni, "Fabrication of  $\text{Sr}_2\text{Nb}_2\text{O}_7$  thin films by sol-gel processing", J. Mater. Res, vol.10, no.3, pp704-707, March 1995
- [4] Yoshikazu Fujimori, Naoki Izumi, Takashi Nakamura Akira Kamisawa "Study of Ferroelectric Materials for Ferroelectric Memory FET", IEICE TRANS. ELECTRON, vol.E81-C, no.4, pp572-576, April 1998
- [5] Satoshi Nanamatsu, Masakazu Kimura and Tsutomu Kawamura, "Crystallographic and Dielectric Properties of Ferroelectric  $\text{A}_2\text{B}_2\text{O}_7$  (A=Sr,B=Ta,Nb) Crystals and Their Solid Solutions", J. Phys. Soc. Jpn, vol.38, no.3, pp817-824, March 1975
- [6] 庄山 昌司, 都築 明博, 加藤 一実, 村山 宣光, "ゾル・ゲル法による不揮発性強誘電体メモリの低温合成," 三重県工業技術総合研究所研究報告, no.23, 1999